

PUB-NO: JP409092775A

DOCUMENT-IDENTIFIER: JP 09092775 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 4, 1997

INVENTOR-INFORMATION:

NAME

OTAKA, TATSUYA
HATANO, KAZUHISA
MURAKAMI, HAJIME
YONEMOTO, TAKAHARU
YOSHIOKA, OSAMU

ASSIGNEE-INFORMATION:

NAME

COUNTRY
HITACHI CABLE LTD
N/A

APPL-NO: JP07244204

APPL-DATE: September 22, 1995

INT-CL (IPC): H01L 23/50

ABSTRACT:

PROBLEM TO BE SOLVED: To make a package small in thickness in a CSP (Chip Scale Package) structure by which a lead frame of the same size is mounted on a semiconductor chip.

SOLUTION: A lead frame 4 to be adhered to a semiconductor chip 1 is almost the same in size as the chip 1. The surface 4e of an inner lead 4a of the lead frame 4 is coined to form a coined part 5 with reduced thickness. The lead frame 4 and the end surface 1c of the chip 1 are adhered to each other with a double-faced adhesive tape 3 interposed. The coined part 5 of the inner lead 4a is connected with a bonding pad 2 of the chip 1 through a bonding wire 9. The surface 1a of the chip 1 is packaged with a mold resin 8, thereby exposing only the surface 4c of an outer lead 4b on the packaged resin surface 8a.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-92775

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl.⁶
H 0 1 L 23/50

識別記号 庁内整理番号

F I
H 0 1 L 23/50

技術表示箇所
U
S

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号 特願平7-244204

(22)出願日 平成7年(1995)9月22日

(71)出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72)発明者 大高 達也

茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内

(72)発明者 幡野 和久

茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内

(72)発明者 村上 元

茨城県日立市助川町3丁目1番1号 日立
電線株式会社電線工場内

(74)代理人 弁理士 松本 孝

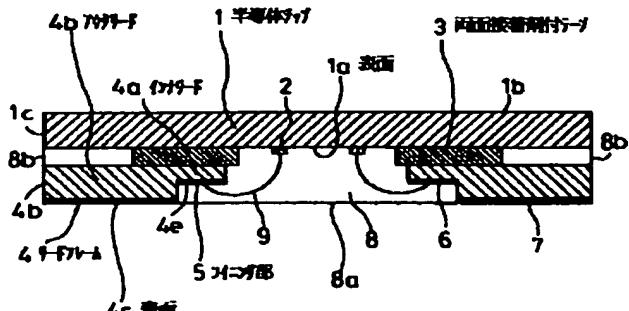
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】半導体チップの上に同一サイズのリードフレームを載せるCSP (ChipScale Package) 構造において、パッケージ厚さをより薄くする。

【解決手段】半導体チップ1に貼り付けるリードフレーム4は、半導体チップ1と略同一サイズとする。リードフレーム4のインナリード4aの表面4eにコイニングを施して厚みを減らしたコイニング部5を形成する。両面接着剤付テープ3を介してリードフレーム4と半導体チップ1とを端面4d、1cを合わせて貼り付ける。インナリード4aのコイニング部5と半導体チップ1のボンディングパッド2とをボンディングワイヤ9で接続する。半導体チップ1の表面1aにモールド樹脂8を封止し、封止樹脂表面8aにアウタリード4bの表面4cのみを露出させる。



1

【特許請求の範囲】

【請求項1】半導体チップの表面に半導体チップと略同一サイズのリードフレームを重ね合わせて接着剤を介して貼り付け、リードフレームのインナリードと半導体チップとをポンディングワイヤで接続し、アウタリードの表面と面一となるように半導体チップの表面側をモールド樹脂で封止して、封止樹脂表面にアウタリードの表面を露出させた半導体装置において、インナリードに接続されるポンディングワイヤがアウタリードの表面を越えないように、インナリードの表面側の厚みを減らしてインナリード表面をアウタリード表面より一段低くしたことを特徴とする半導体装置。

【請求項2】上記リードフレームのサイズを半導体チップよりもやや大きめに形成し、該リードフレームを半導体チップの表面に重ね合わせたとき形成される端面間のギャップもモールド樹脂で封止するようにした請求項1に記載の半導体装置。

【請求項3】上記半導体チップの表面にリードフレームを貼り付ける接着剤を、インナリード側のみならずアウタリード側にも介在させた請求項1または2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はリードフレームを使用した半導体装置に係り、特にチップサイズと略同一のサイズをもつ薄型かつ小型の半導体パッケージ構造に関するものである。

【0002】

【従来の技術】大容量のDRAM (Dynamic Random Access Memory) では、高密度実装の要求に対応して、比較的小さなパッケージに大形化した半導体チップを収納できるLOC (Lead On Chip) 構造が採用されているが、容量の増加により更にチップサイズレベルにまで小形化されたパッケージが要求されるようになってきた。また、電子機器用の半導体パッケージも、パソコン、ファックス、パーソナル電話機、ICカード等のサイズの縮小に伴って、より小形化することが要求されている。しかも、この小形化は、単にパッケージの専有する面積にのみ求められるのではなく、パッケージの厚さ方向にも求められている。

【0003】従来、これらの要請に応えるものとして、リードの一部のみをパッケージの底面に露出させたCSP (Chip Scale Package) と呼ばれる半導体装置が提案されている(特開平6-132453号公報)。具体的には、図7に示すように、半導体チップ21の配線面(表面)21aに半導体チップ21と同一サイズのリードフレーム22を端面を合わせて接着剤23で貼り付ける。リードフレーム22のインナリード22aと半導体チップ21とをポンディングワイヤ24で接続した後、モールド樹脂25で封止する際、半導体チップ21の表

2

面側をモールド樹脂25で封止して、モールド樹脂25の表面25aにアウタリード22bの表面22cを露出させたものである。

【0004】ここに、インナリード22aと半導体チップ21とを接続するポンディングワイヤ24が、アウタリード22bの表面22cと面一にしたモールド樹脂25の表面25aからはみださないように、リードに段差を設ける必要があるが、この従来例では、リードフレーム22をダウンセット加工することによって、インナリード22aをアウタリード22bよりも一段低くしている。

【0005】

【発明が解決しようとする課題】上述した従来技術によって、パッケージの小形化は、パッケージの専有する面積に反映されるばかりでなく、パッケージの厚さ方向にも反映されるようになってきた。しかし、リードフレームをダウンセット加工することによってリードに段差を設けるようにしているので、リード厚を超えた加工深さが必要となり、その分、パッケージ厚さを薄くできない。

【0006】また、パッケージのサイズが半導体チップ1と同一であると、最小のパッケージを得ることができるが、半導体チップ1の大きさのばらつきによっては、モールド樹脂封止時にモールド金型が半導体チップ1の一部を破損してしまうおそれがある。

【0007】さらに、半導体チップへのリードフレームの接着固定は、インナリード側のみで行なっているため、モールド樹脂封止の際に、アウタリード側の厚み方向での固定が十分でない場合が生じるが、固定が十分でないと、アウタリードの表面にモールド樹脂が薄く回り込み、表面を削り出す必要があった。

【0008】本発明の目的は、上述した従来技術の問題点を解消して、パッケージ厚さをより薄くできる半導体装置を提供することにある。また、本発明の目的は、モールド樹脂封止時、半導体チップが破損しない半導体装置を提供することにある。さらに、本発明の目的は、モールド樹脂封止後、アウタリード表面の削り出しを必要としない半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体チップの表面に半導体チップと略同一サイズのリードフレームを重ね合わせて接着剤を介して貼り付け、リードフレームのインナリードと半導体チップとをポンディングワイヤで接続し、アウタリードの表面と面一となるように半導体チップの表面側をモールド樹脂で封止して、封止樹脂表面にアウタリードの表面を露出させた半導体装置において、インナリードに接続されるポンディングワイヤがアウタリードの表面を越えないように、インナリードの表面側の厚みを減らしてインナリード表面をアウタリード表面より一段低くしたものである。こ

3

のようにインナリードの厚みをアウタリードよりも減らしてインナリードをアウタリードより一段低くできるようになると、リードをダウンセットする場合に比して、パッケージ厚さをより薄くすることができる。

【0010】また、このような本発明の半導体装置において、リードフレームのサイズを半導体チップよりやや大きめに形成し、リードフレームを半導体チップの表面に重ね合わせたとき形成される端面間のギャップもモールド樹脂で封止することができる。半導体チップの破損を有効に防止できる。また、半導体チップの表面にリードフレームを貼り付ける接着剤を、インナリード側のみならずアウタリード側にも介在させることができ、アウタリードの表面へのモールド樹脂の回り込みを防止できる。

【0011】

【発明の実施の形態】以下に本発明の半導体装置の実施の形態を図面を用いて詳細に説明する。図1は、半導体チップ1上に同一サイズのリードフレーム4を載せたCSP構造の断面図である。

【0012】半導体チップ1は、その配線面である表面1aの中央近傍にポンディングパッド2が配置されて構成される。この半導体チップ1の表面1aに貼り付けられるリードフレーム4は、半導体チップ1と同一サイズで構成され、半導体チップ1と接続するためのインナリード4aと、外部端子となるアウタリード4bとを有する。半導体チップ1とリードフレーム4との貼付けは、半導体チップ1の端面1cとリードフレーム4の端面4dとが一致するように、半導体チップ1とリードフレーム4とを重ね合わせて、両面接着剤付テープ3を介して行う。

【0013】リードフレーム4は折曲していない代りに、一部の厚さを減らして薄くしてある。すなわち、リードフレーム4のインナリード4aは、その貼付け面と反対面(表面4e)側をコイニングしてアウタリード4bよりも薄くしたコイニング部5を形成し、インナリード4aと半導体チップ1のポンディングパッド2とを接続するポンディングワイヤ9の高さをアウタリード4bの貼付け面と反対面(表面4c)よりも低くなるようにしてある。

【0014】このようにして厚さを減らしてアウタリード4bの表面4cよりも一段低くしたインナリード4aのコイニング部5には銀めっき6が施され、銀めっき6が施されたコイニング部5と半導体チップ1の中央近傍に配されたポンディングパッド2とがポンディングワイヤ9によって接続される。コイニング部5が一段低くなっているため、ポンディングワイヤ9の高さは、アウタリード4bの表面4cよりも低く抑えることができる。

【0015】モールド樹脂8による封止は、半導体チップ1の表面1a側で行なわれる。モールド樹脂8の厚さを、アウタリード4bの表面4cと同一高さにして、インナリード4aおよびポンディングワイヤ9などをモー

4

ルド樹脂8中に埋めて保護するが、アウタリード4bの表面4cは封止樹脂表面8aに露出させる。このとき、パッケージの面積を小さく、かつパッケージの厚さを薄くするために、モールド樹脂8は、リードフレーム4の端面4d及び半導体チップ1の端面1c及び半導体チップ1の裏面1bに回りこまないようにする。

【0016】このように構成された半導体パッケージは、コイニングによってリードに段差を設けているため、従来のようにリードフレームをダウンセットする必要はない。また、パッケージ厚さは半導体チップ厚、両面接着剤付テープ厚、及び1枚のリード厚を合計した厚さとなり、ダウンセットが要求するリード厚の2倍以上の加工深さがリード部分に要求されないため、パッケージの厚さをより薄くすることができる。

【0017】上述した半導体パッケージを製造するには、まず、モールド樹脂8の端面8bを半導体チップ1の端面1cに一致させるために、パッケージに使用されるリードフレーム4は、その樹脂ダムバー17の位置を、図2に示すように、一点鎖線で示した半導体チップ1の外周に沿って配置するように構成する。また、パッケージ製造時に使用するモールド金型は、半導体チップ1の外形とほぼ同じ大きさとし、半導体チップ1の裏面1b側にモールド樹脂8が回らないようにして、半導体チップの表面側のみをモールドする。なお、リードフレーム4の端面4dは樹脂ダムバー17の切断面となる。

【0018】モールド後、樹脂ダムバー17を金型で切断し、リード4a、4bを個々に切り離す。ここで、樹脂ダムバー17を切断する前に、モールド樹脂8の表面8aに露出するアウタリード4bの表面4cに、半田との溝が良好な銀めっき7をインナリード4aのコイニング部5の銀めっき6と同時に用いておくのがよい。こうするとアウタリード4bの表面の外装半田めっきは不要となり、コスト低減できるとともに、モールド後、パッケージにダメージを与える工程を減らすことができる点でも有利である。

【0019】本製造方法によれば、従来より行われているLOCリードフレームの製造工程、および樹脂モールド工程をそのまま、または、一部省略して利用することができるため、従来のモールドパッケージと比較して価格的に同等でありながら、より小型かつ薄型のパッケージを得ることができる。

【0020】ところで、図1に示すパッケージ構造のモールド領域では、パッケージのサイズが半導体チップ1と同一であるため、半導体チップ1の大きさのばらつきによっては、モールド金型が半導体チップ1の一部を破損してしまうことが懸念される。このような懸念は、図3に示すように、半導体チップ1に対してモールド領域を若干拡大する設定を行うことによって解消できる。すなわち、リードフレーム4のサイズを半導体チップ1よりやや大きめに形成し、このやや大きめに形成したリード

5

フレーム4の樹脂ダムバー17にモールド金型の大きさを合わせて形成すると、半導体チップ1の大きさにばらつきが合っても、モールド金型は半導体チップ1の端面1cに触れなくなるから半導体チップ1の破損を防止できる。なお、モールド樹脂8による封止により、リードフレーム4の端面4dと半導体チップ1の端面1cとの間に形成されるギャップGは、モールド樹脂11で埋められる。したがって、半導体チップ1の端面1cは、樹脂封止後はモールド樹脂11によって保護される。

【0021】また、図1及び図3に示すパッケージ構造では、パッケージをモールドする際に、両面接着剤付テープ3によるアウタリード4b側の厚み方向での固定が十分でないと、アウタリード4bの表面4cにモールド樹脂が薄く回り込み、表面を削り出す必要が生じてしまう。これは図4に示すように、パッケージ外周近傍の半導体チップ1とアウタリード4b間に、インナリード側の両面接着剤付テープ3と同等の厚みをもつ両面接着剤付テープ13を介在させることにより、モールド樹脂8のアウタリード表面4cへの回りこみを有効に防止できる。なお、図3と図4を組み合わせた構造としてもよいことはもちろんである。

【0022】また、図1、図3、図4の構造では、アウタリード4bの表面4cの全面に銀めっき7を施したが、そうすると銀の目付量が増加してコストが上昇することが予想される。しかし、図5に示すように、アウタリード4bの銀めっき14の領域を小さくすることによって、銀の目付量を減少でき、コスト的に有利にすることができる。なお、符号15は銀めっきを施していない部分を示す。

【0023】図6はアウタリード4bの表面4cに半田めっき16を外装した例を示す。既述したように、アウタリード4bの表面に半田めっきを外装することは、モールド後、パッケージにダメージを与える工程が増えることを意味するが、本発明はこれを排除するものではない。

【0024】以上述べた本実施の形態において、使用した半導体チップの厚さは0.3mm、リードフレームの厚さは0.15mm、両面接着剤付テープの総厚は0.05mmである。また、インナリードには0.075mmのコイニングを施した。また、本実施の形態ではインナリードの厚さを減らす手法としてコイニング法を用いたが、ハーフエッチ法を用いてもよい。また、リードフレームを半導体チップに貼り付ける手段として両面接着剤付テー

6

アを用いたが、単に接着剤としてもよい。

【0025】

【発明の効果】本発明によれば、インナリードの厚みを減らすことによってリードに段差を設けるようにしたので、ダウンセット加工することによって段差を設けるようにした従来例のように、リード厚を超えた加工深さを必要としないため、パッケージ厚さをより薄くできる。また、リードフレームのサイズを半導体チップよりやや大きめに形成したので、モールド金型による半導体チップの損傷を有効に防止できる。さらに、半導体チップの表面にリードフレームを貼り付ける接着剤を、アウタリード側にも介在させるようにしたので、アウタリード表面へのモールド樹脂の回り込みを防止でき、表面の削り出しを要しない。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施の形態を説明するための半導体パッケージ構造の断面図である。

【図2】第1の実施の形態の半導体パッケージ構造に使用されるリードフレームの平面図である。

【図3】第2の実施の形態の半導体パッケージ構造の断面図である。

【図4】第3の実施の形態の半導体パッケージ構造の断面図である。

【図5】第4の実施の形態の半導体パッケージ構造の断面図である。

【図6】第5の実施の形態の半導体パッケージ構造の断面図である。

【図7】従来例の半導体パッケージ構造の断面図である。

【符号の説明】

1 半導体チップ

1a 半導体チップの表面

3 両面接着剤付テープ

4 リードフレーム

4a インナリード

4e インナリードの表面

4b アウタリード

4c アウタリードの表面

5 コイニング部

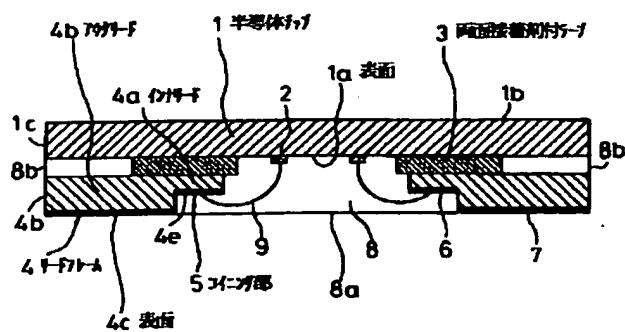
8 モールド樹脂

8a 封止樹脂表面

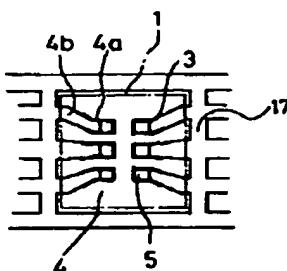
9 ボンディングワイヤ

40

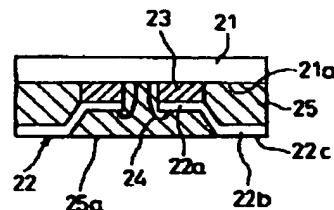
【図1】



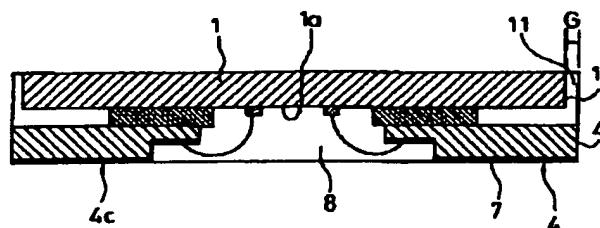
【図2】



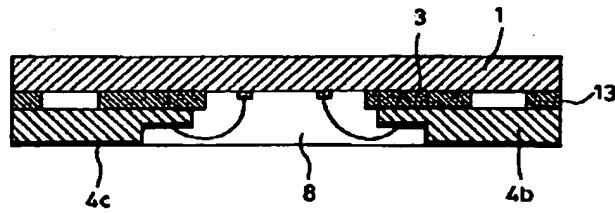
【図7】



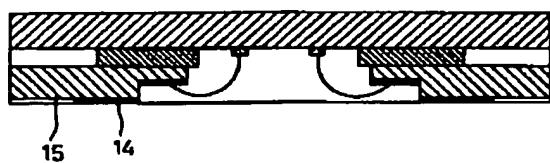
【図3】



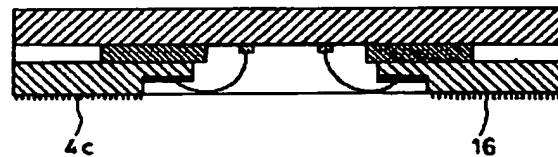
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 米本 隆治

茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内

(72)発明者 吉岡 修

茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内